

esp@cenet Family list view**Family list**

1 family member for:

JP63167496

Derived from 1 application.

1 SEMICONDUCTOR MEMORY DEVICE

Publication Info: JP63167496 A - 1988-07-11

Data supplied from the **esp@cenet** database - Worldwide

esp@cenet document view

SEMICONDUCTOR MEMORY DEVICE

Patent number: JP63167496
Publication date: 1988-07-11
Inventor: NANBU HIROAKI; YAMAGUCHI KUNIHIKO; KANETANI KAZUO; OHATA KENICHI
Applicant: HITACHI LTD.; HITACHI DEVICE ENG
Classification:
- international: G11C8/00; G11C11/34; H01L27/10
- european:
Application number: JP19860313129 19861229
Priority number(s): JP19860313129 19861229

[Report a data error here](#)

Abstract of JP63167496

PURPOSE: To magnify the action margin of a memory cell by setting a counter generating address input data to a counter generating the Gray codes of specified bits. CONSTITUTION: In a memory RAM having m-piece (four pieces in this figure) address input terminals A1-A4, and the counter CNTR generating address input data of (n) bits (four bits in this figure) which are inputted to the terminals, the CNTR is set to the counter generating the Gray code of (n) bits (four in this figure). The CNTR consists of JK flip-flops FF1-FF4 and exclusive OR gates G1-G3, and it is synchronized with clock signals CLK so as to sequentially output the Gray codes of four bits to O1-O4. Generally, (n) is a positive integer, and (n) is to a positive integer which satisfies $n \leq m$. Thus, the action margin of the memory cell can be magnified.

Data supplied from the esp@cenet database - Worldwide

引用文献 1

⑩ 日本国特許庁 (JP) ⑪ 特許出願公開
 ⑫ 公開特許公報 (A) 昭63-167496

⑬ Int.Cl. G 11 C 11/34 H 01 L 27/10	識別記号 3 1 1 4 8 1	序内整理番号 J - 8522-5B Z - 7341-5B 8624-5F	⑭ 公開 昭和63年(1988)7月11日 審査請求 未請求 発明の数 1 (全 5 頁)
---	------------------------	---	--

⑮ 発明の名称 半導体メモリ装置

⑯ 特 願 昭61-313129

⑰ 出 願 昭61(1986)12月29日

⑱ 発明者 南部 博 昭 東京都国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内

⑲ 発明者 山口 邦 彦 東京都国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内

⑳ 発明者 金谷 一 男 東京都国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内

㉑ 出願人 株式会社日立製作所 東京都千代田区神田駿河台4丁目5番地

㉒ 出願人 日立デバイスエンジニアリング株式会社 千葉県茂原市早野3681番地

㉓ 代理人 弁理士 小川 勝男 外1名

最終頁に続く

明細書

1. 発明の名称

半導体メモリ装置

2. 特許請求の範囲

1. m (mは正の整数) 個のアドレス入力端子を有するメモリと、上記端子に入力するn (nはn端子を満たす正の整数) ビットのアドレス入力データを発生するカウンタとを有する半導体メモリ装置において、上記カウンタは、nビットのグレーコードを発生するカウンタであることを特徴とする半導体メモリ装置。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は、半導体メモリ装置に係り、特に、アドレス・スマートを無くし、かつメモリの低消費電力化に好適な、アドレス・カウンタを有する半導体メモリ装置に関する。

〔従来の技術〕

従来、メモリシステムにおいて、信号配線の長さの差等による複数ビットのアドレス入力データ

の伝達遅延時間のばらつき (アドレス・スマート) に対策するため、第5図に示したようにメモリ (RAM) のアドレス・バッファ (AB) の直前にアドレス・ラッチ回路 (AL) を挿入したり、専用部58-222488号に記載のようにアドレス・バッファ自身にラッチ機能を持たせたりしている。以下、上記アドレス・ラッチ回路の効果を第5図で説明する。第5図で、カウンタ (CNTB) はJKフリップ・フロップ (FP1～FP4) で構成されており、クロック信号 (CLK1) に同期して、アドレス入力データを順次出力する。第6図に、上記出力データQ1～Q4のタイミングチャートを示す。ここで、出力データQ1～Q4は、時刻t8で、同時に切り換わっていることがわかる。しかし、出力データQ1～Q4は長さの異なる信号記録L1～L4を伝達するため、実際、信号A1～A4には、伝達遅延時間のばらつきによる、タイミングのずれが生じる。そのため、アドレス・ラッチ回路 (AL) を挿入し、信号A1～A4をクロック信号 (CLK2) で同期

特開昭63-167495 (2)

させ。メモリ(RAM)に入力するアドレス入力データA1'～A m' の入力タイミングを描えている。しかし、上記従来技術においては、上記チップ回路でアドレス入力データのタイミングを描えた後に生じるアドレス・バッファ(AB)，デコーダ(DEC)，ドライバ(DR)の遅延時間の差によるスキューニについては配慮されておらず、このスキューニによるメモリセルの駆動タイミングのずれが、メモリセルの動作マージンを減少させるという問題があつた。

〔発明が解決しようとする問題点〕

上記従来技術は、アドレス・チップ回路でアドレス入力データのタイミングを描えた後に生じる複数個あるアドレス・バッファ、デコーダ、ドライバの遅延時間の差によるスキューニについては配慮されておらず、このスキューニによるメモリセルの駆動タイミングのずれが、メモリセルの動作マージンを減少させるという問題があつた。

本発明の目的は、上記スキューニの問題を無くし、メモリセルの動作マージンを拡大する手段を提供することにある。

〔問題点を解決するための手段〕

著しく拡大できる。また、アドレス入力データを順次カウント・アップする時、あるタイミングで切り換わるアドレス・バッファが常に1個であるため、アドレス・バッファの切り換わり時に消費される電力が常に1個分ですむ、その分メモリの低消費電力化にもなる。

〔実施例〕

第1図は、本発明の第1の実施例を示す図であり、4個のアドレス入力端子(A1～A4)を有するメモリ(RAM)と、上記端子に入力する4ビットのアドレス入力データを発生するカウンタ(CNTR)とを有する半導体メモリ装置において、上記カウンタ(CNTR)を、4ビットのグレーコードを発生するカウンタとしている。このカウンタ(CNTR)はJKフリップ・フロップ(FF1～FF4)及びエクスクルーシブ(Exclusive)-オア(OR)ゲート(G1～G3)で構成されており、クロック信号(CLK)に同期して、4ビットのグレーコードを順次O1～O4に出力する。

第2図に上記JKフリップ・フロップFF1～

上記目的は、m(mは正の整数)個のアドレス入力端子を有するメモリと、上記端子に入力するn(nはmを満たす正の整数)ビットのアドレス入力データを発生するカウンタとを有する半導体メモリ装置において、上記カウンタを、nビットのグレーコードを発生するカウンタにすることにより達成される。

〔作用〕

上記手段は、アドレス入力データを発生するカウンタをグレーコードを発生するカウンタにしている。このため、このカウンタが順次発生するアドレス入力データのタイミング距離は常に1となり、あるタイミングで切り換わるアドレス・バッファは常に1個となる。このため、複数個あるアドレス・バッファ、デコーダ、ドライバの遅延時間に差があつても、あるタイミングで切り換わるアドレス・バッファ、デコーダ、ドライバが常に1個であるため、メモリセルの駆動タイミングがずれるということは起こり得ない。すなわち、スキューニが生じないため、メモリセルの動作マージンを

FF4の出力Q1～Q4と、カウンタCNTRの出力データO1～O4のタイミング・チャートを示す。ここで、カウンタ(CNTR)は、4ビットのグレーコードを発生するカウンタであるため、出力データO1～O4は決して同時に切り換わらず、あるタイミングで切り換わる出力データO1～O4は常に1個であることがわかる。上つて、データO1～O4が伝達する信号配線L1～L4の長さが異なっていても、また、アドレス・バッファ(AB)、デコーダ(DEC)、ドライバ(DR)の遅延時間に差があつても、あるタイミングで切り換わるアドレス・バッファ(AB)、デコーダ(DEC)、ドライバ(DR)が常に1個であるため、メモリセル(MC)の駆動タイミングがずれるということは起こり得ない。すなわち、スキューニが生じないため、メモリセルの動作マージンを著しく拡大できる。また、アドレス入力データを順次カウント・アップする時、あるタイミングで切り換わるアドレス・バッファが常に1個であるため、アドレス・バッファの切り換わ

特開昭63-167496(3)

り時に消費される電力が常に1個分ですみ、その分メモリの低消費電力化になつてゐる。

第3図は、本発明の第2の実施例を示す図であり、第1図に示した第1の実施例と同様に、4個のアドレス入力端子(A1~A4)を有するメモリ(RAM)と、上記端子に入力する4ビットのアドレス入力データを発生するカウンタ(CNTR)とを有する半導体メモリ装置において、上記カウンタ(CNTR)を、4ビットのグレーコードを発生するカウンタとしている。ここで、第1図に示した、第1の実施例と異なるのは、カウンタ(CNTR)をJKフリップ・フロップ(FF1~FF4)及びDフリップ・フロップ(FF5~FF13)で構成している点のみであり、クロック信号(CLK)に同期して、モビットのグレーコードを順次出力する点は全く同様である。

第4図に、上記JKフリップ・フロップFF1~FF4の出力Q1~Q4と、カウンタCNTRの出力データQ2、Q7、Q8、Q13のタイミング・チャートを示す。ここで、出力データQ2、

Q7、Q8、Q13は決して同時に切り換わつてからず、以下、第1図に示した、第1の実施例と同様の議論が成立する。よつて、本実施例においても、メモリセルの動作マージンを著しく拡大できる。また、アドレス・バッファの切り換わり時に消費される電力が常に1個分ですみ、その分メモリの低消費電力化になる。

【発明の効果】

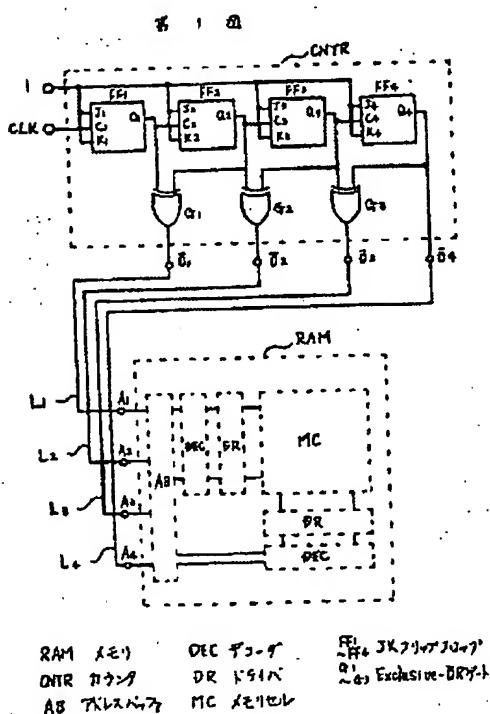
以上述べてきたように、本発明によれば、アドレス入力データが伝達する信号配線の長さが異なつていても、また、アドレス・バッファ、デコーダ、ドライバの遅延時間に差があつても、あるタイミングで切り換わるアドレス・バッファ、デコーダ、ドライバが常に1組であるため、メモリセルの駆動タイミングのずれ、すなわちスキューが全く生じない。よつて、メモリセルの動作マージンを著しく拡大できる。また、アドレス入力データを順次カウント・アップする時、あるタイミングで切り換わるアドレス・バッファが常に1個であるため、アドレス・バッファの切り換わり時に

消費される電力が常に1個分ですみ、その分メモリの低消費電力化が図れる。

4. 図面の簡単な説明

第1図は本発明の第1の実施例を示す論理図、第2図は本発明の第1の実施例のタイミング・チャート図、第3図は本発明の第2の実施例を示す論理図、第4図は本発明の第2の実施例のタイミング・チャート図、第5図は従来例を示す論理図、第6図は従来例のタイミング・チャート図である。RAM…メモリ、CNTR…カウンタ、AL…アドレス・ラッピング回路、AB…アドレス・バッファ、DEC…デコーダ、DR…ドライバ、MC…メモリセル、FF1~FF4…JKフリップ・フロップ、G1~G3…Exclusive-ORゲート、FF5~FF13…Dフリップ・フロップ。

代理人 弁理士 小川勝男

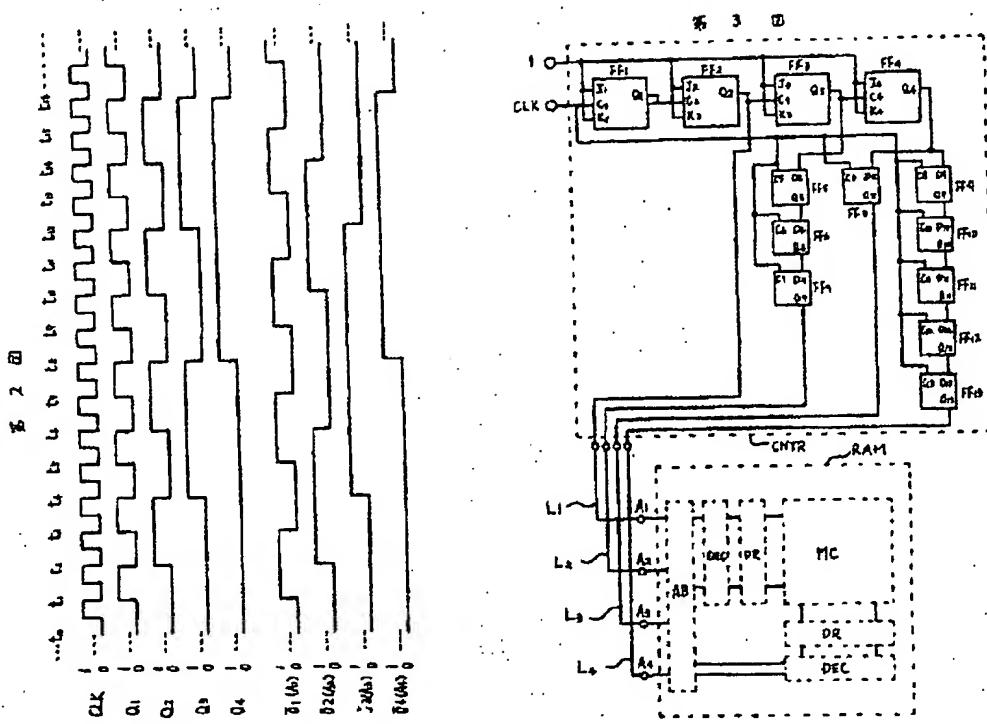


RAM メモリ
CNTR カウンタ
AB アドレス・バッファ

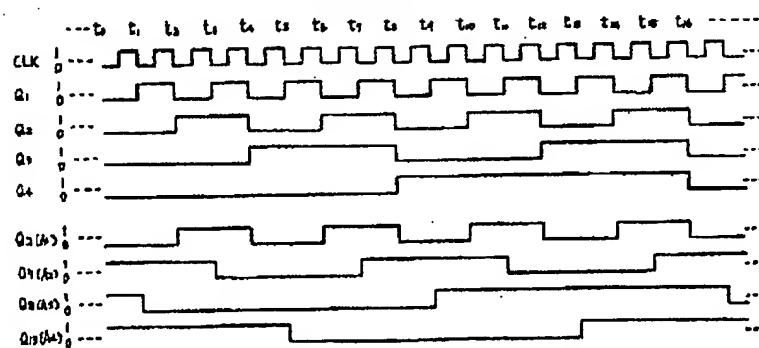
DEC デコーダ
DR ドライバ
MC メモリセル

FF₁~FF₄ JKフリップ・フロップ
FF₅~FF₁₃ Dフリップ・フロップ
G₁~G₃ Exclusive-ORゲート
Q₂, Q₇, Q₈, Q₁₃ Exclusive-ORゲート

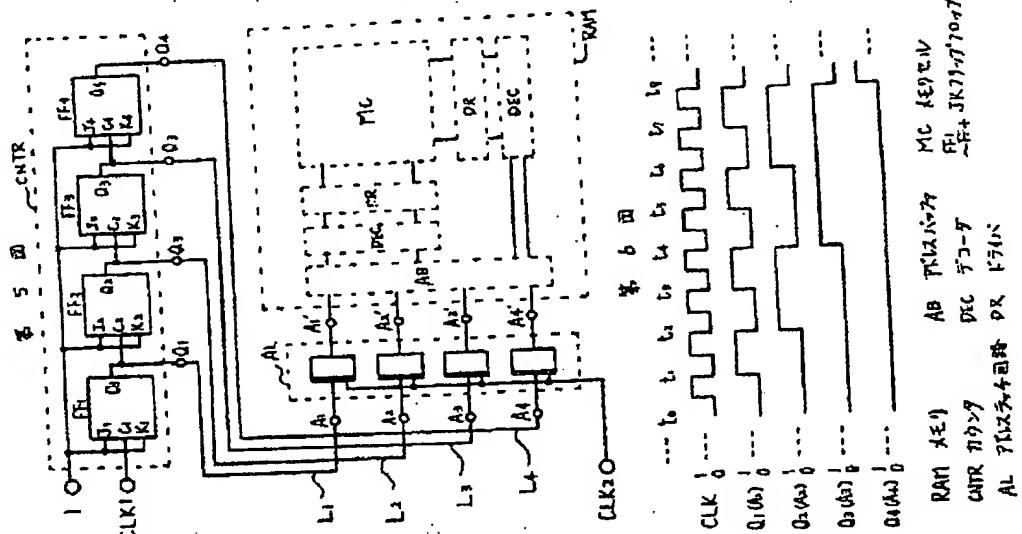
特開昭63-167496(4)



第 4 四



特開昭63-167496(5)



第1頁の続き

②発明者 大島 聰一

千葉県茂原市早野3681番地 日立デバイスエンジニアリング株式会社内

特開昭63-167496

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第4区分

【発行日】平成6年(1994)8月12日

【公開番号】特開昭63-167496

【公開日】昭和63年(1988)7月11日

【年通号数】公開特許公報63-1675

【出願番号】特願昭61-313129

【国際特許分類第5版】

G11C 11/413

11/408

〔F1〕

G11C 11/34 301 A 6741-5L

341 A 6741-5L

354 B 6741-5L

手 続 業 正 事

平成6年12月24日

特許庁長官

殿

1. 事件の表示

昭和61年特許願第313129号

2. 発明の名称

半導体メモリ装置

3. 補正をする者

事件との関係 特許出願人

住所 東京都千代田区神田波列町四丁目6番地

名 称 (510) 株式会社 日立製作所

住所 千葉県茂原市早野3681番地

名 称 日立デバイスエンジニアリング株式会社

4. 代理人

住所 平165 東京都千代田区市町四丁目3番16号

サンクレストビル4階 (電話 0423-22-7322)

氏 名 (727) 井上 勝 鹿 田 利 実

5. 補正により増加する発明の数 0

6. 補正の対象 明細書の「特許請求の範囲」の項および「発明の詳細な説明」の項。

特許庁

7. 補正の内容

1. 本願明細書特許請求の範囲の項を別紙のよう
に補正する。2. 国上書第1頁第19行「從来、メモリシステム
において、」を「從来の半導体メモリ装置に
おいては、」に補正する。3. 国上書第2頁第2行「に対応する」を「の問
題を解決する」に補正する。4. 国上書第2頁第7行～第11行「以下、上記
アドレス………入力データを順次出力する。」
を「第5回において、カウンター(C N T R)
は複数のJ Kフリップ・フロップ(FF 1～F
F 4)から構成され、クロック信号(CL K I)
に同期して、出力データQ 1～Q 4が順次出力
される。」に補正する。5. 国上書第2頁第18行～第15行「ここで、
出力データQ 1………いることがわかる。」
を「第6回から明らかかなように、上記出力
データQ 1～Q 4は、時刻セレクトにおいて同時に切り

特開昭63-187496

換わる。」に補正する。

6. 同上書第2頁第17行「実際、」を「実際には、」に補正する。

7. 同上書第2頁第20行～第3頁第1行「同期させ、」を「同期させることによって、」に補正する。

8. 同上書第3頁第3行～第4行「上記ラッチ回路で」を「上記アドレス・ラッチ回路によって」に補正する。

9. 同上書第3頁第12行「複数個ある」を「複数個の」に補正する。

10. 同上書第3頁第18行「拡大する手段」を「拡大することのできる半導体メモリ装置」に補正する。

11. 同上書第4頁第8行～第11行「上記手順は、アドレス入力データをカウンタにしている。このため、」を「アドレス入力データを発生するカウンタが、グレーコードを発生するカウンタであるため、」に補正する。

12. 同上書第4頁第14行「複数個ある」を「複数

個の」に補正する。

13. 同上書第6頁第5行～第6行「その分メモリの低消費電力化にもなる。」を「メモリの消費電力はそれだけ低減される。」に補正する。

14. 同上書第5頁第13行～第14行「上記カウンタ(CNTR)と、4ビットのグレーコードを発生するカウンタとして、4ビットのグレーコードを発生するカウンタが用いられている。」に補正する。

15. 同上書第5頁第2行「メモリの低消費電力化になっている。」を「メモリの消費電力が低減される。」に補正する。

16. 同上書第7頁第8行～第10行「上記カウンタ(CNTR)を……カウンタにしている。」を「上記カウンタ(CNTR)として、4ビットのグレーコードを発生するカウンタが用いられている。」に補正する。

17. 同上書第8頁第3行「同様の操作が成立する。よって、」を「同様に、」に補正する。

18. 同上書第9頁第2行「低消費電力化が図れる。」を「消費電力が低減される。」に補正する。

以上

四 級

特許請求の範囲

1. カウンタ(これは正の整数)の入力端子を有するメモリと、上記入力端子に入力するnビット(これはnを満たす正の整数)のアドレス入力データを発生するカウンタを内蔵し、当該カウンタは、nビットのグレーコードを発生するカウンタであることを特徴とする半導体メモリ装置。

2. 上記カウンタは、JKフリップ・フロップを

具備していることを特徴とする特許請求の範囲第1項記載の半導体メモリ装置。

3. 上記カウンタは、JKフリップ・フロップおよびDフリップ・フロップを具備していることを特徴とする特許請求の範囲第1項から第3項のいずれか一に記載の半導体メモリ装置。

4. 上記カウンタは、エクスクルーシブ・オア・ゲートを具備していることを特徴とする特許請求の範囲第1項から第3項のいずれか一に記載の半導体メモリ装置。

代理人弁護士 伊田利中